SEJOURNE Victor CE312

LEBEL Mathias

**TM2 – Codage d’un compteur modulo N**

2.1 : Architecture en VHDL RTL du compteur modulo  :

library IEEE ;

use IEEE.STD\_LOGIC\_1164.all ;

use IEEE.NUMERIC\_STD.all ;

------------------------------------- COMPTEUR MODULO N ----------------------

entity compteur\_N is

    Generic (

        C\_NB\_BIT\_COUNTER : integer ;

        C\_MODULO : integer

        ) ;

    Port (

        clk : in STD\_LOGIC ;

        rst : in STD\_LOGIC ;

        enable : in STD\_LOGIC ;

        max : out STD\_LOGIC ;

        out\_count : out STD\_LOGIC\_VECTOR (C\_NB\_BIT\_COUNTER – 1 downto 0)

        ) ;

end compteur\_N ;

architecture arch\_compteur\_N of compteur\_N

out\_count\_temp : STD\_LOGIC\_VECTOR (C\_NB\_BIT\_COUNTER – 1 downto 0) := others => ‘0’ ;

begin

    process (clk)

    begin

        if (clk’event and clk =’1’) then

            if (rst = ‘1’) then

                out\_count\_temp <= others => ‘0’ ;

            elsif (enable = ‘1’) then

                if (out\_count\_temp = (STD\_LOGIC\_VECTOR(unsigned(C\_MODULO – 1)) ) then

                    out\_count\_temp <= others => ‘0’ ;

                else

                    out\_count\_temp <= STD\_LOGIC\_VECTOR(unsigned(out\_count\_temp)+1) ;

                end if

            end if

        end if

    end process

    max <= ‘1’ when out\_count\_temp = (STD\_LOGIC\_VECTOR(unsigned(C\_MODULO – 1)) else ‘0’ ;

end architecture ;

2.2 : Testbench du compteur modulo  :

-----------------------------------TESTBENCH COMPTEUR 10----------------------

entity test\_compteur\_10 is

end;

architecture tb of test\_compteur\_10 is

    signal tb\_clk : in STD\_LOGIC;

    signal tb\_rst : in STD\_LOGIC;

    signal tb\_enable : in STD\_LOGIC;

    signal tb\_max : out STD\_LOGIC;

    signal tb\_out\_count : out STD\_LOGIC\_VECTOR (C\_NB\_BIT\_COUNTER - 1 downto 0)

    begin

        compteur10 : entity work.compteur\_N(arch\_compteur\_N)

            generic map(C\_NB\_BIT\_COUNTER => 4 , C\_MODULO => 10);  -- Compteur modulo 10 à 4 bits

            port map(tb\_clk, tb\_rst, tb\_enable, tb\_max, tb\_out\_count);

        tb\_clk <= not(tb\_clk) after 5 ns; -- Génération d'un signal de clock simple de période 10 ns

        tb\_enable <= '0' , '1' after 50 ns, '0' after 220 ns;

        tb\_rst <= '1' , '0' after 30 ns, '1' after 210 ns, '0' after 240 ns;

    end;

end architecture;

2.3 : Chronogramme du testbench :

